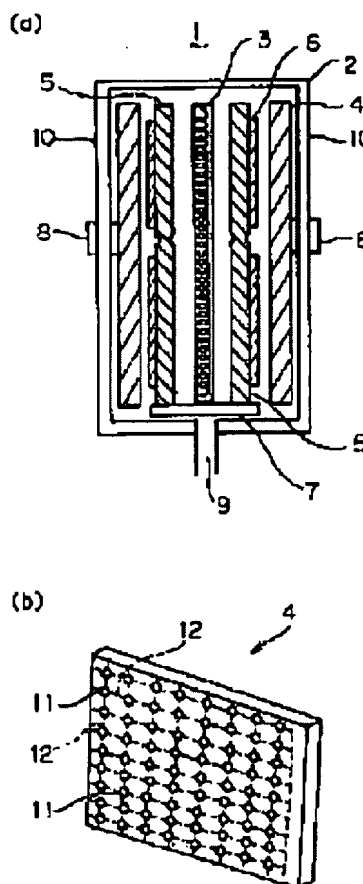


Publication number: JP11181570
Publication date: 1999-07-06
Inventor: IIDA KENJI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- **International:** *H05H1/46; C23C16/50; H01L21/205; H01L21/31; H05H1/46; C23C16/50; H01L21/02; (IPC1-7): C23C16/50; H01L21/205; H01L21/31; H05H1/46*
- **European:**
Application number: JP19970348060 19971217
Priority number(s): JP19970348060 19971217

Abstract of JP11181570

PROBLEM TO BE SOLVED: To reduce defects in the production of a liq. crystal cell or the like, in a reaction chamber 1 of a plasma CVD device, by reducing the amt. of dust caused by the peeling of a deposition layer by CVD. **SOLUTION:** The roughness of the surface of an electrode plate 4 fitted into a plasma CVD device, by blasting treatment or thermal spraying, is regulated to 40 to 100 μm in the maximum height (R_{max}) value and to $\leq 50 \mu\text{m}$ in pitch (λa) value. By the increase of the anchor effect between the surface of the electrode plate 4 and the deposition layer by CVD, the interlayer adhesion is improved.



10/26/2007

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-181570

(43) 公開日 平成11年(1999) 7月6日

(51) Int.Cl.⁹

識別記号

F I

C 2 3 C 16/50

C 2 3 C 16/50

H 0 1 L 21/205

H 0 1 L 21/205

21/31

21/31

C

H 0 5 H 1/46

H 0 5 H 1/46

Z

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号

特願平9-348060

(22) 出願日

平成9年(1997)12月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 飯田 謙二

兵庫県姫路市余部区上余部50番地 株式会社
東芝姫路工場内

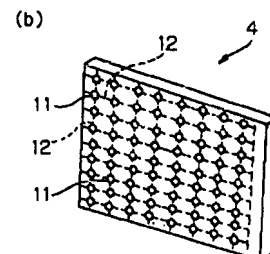
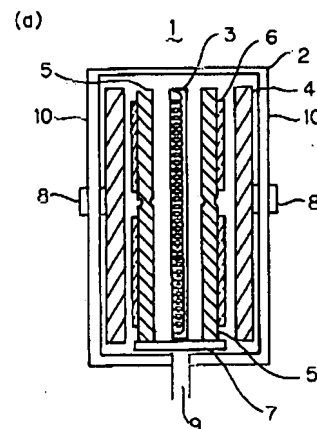
(74) 代理人 弁理士 葛田 瑠子 (外1名)

(54) 【発明の名称】 プラズマCVD装置用電極板及びその表面処理方法

(57) 【要約】

【課題】 プラズマCVD装置の反応室(チャンバー) 1 中において、CVDによる堆積層が剥離して生じるダスト量を低減することで、液晶セル等の製造における不良を減少させる。

【解決手段】 プラズマCVD装置中に装着される電極板 4 の表面をブラスト処理又は溶射により、表面粗さが、最大高さ(R_{max}) 値において40~100 μ m、ピッチ(λ a) 値において50 μ m以下とする。電極板 4 の表面とCVDによる堆積層との間でのアンカー効果の増大により、層間接着性を向上させる。



【特許請求の範囲】

【請求項1】電子デバイス製造用プラズマCVD装置の反応室内に装着される電極板において、前記電極板の表面粗さにおける最大高さの値が $40\sim 100\mu\text{m}$ であることを特徴とするプラズマCVD装置用電極板。

【請求項2】電子デバイス製造用プラズマCVD装置の反応室内に装着される電極板において、前記電極板の表面粗さにおけるピッチの値が $50\mu\text{m}$ 以下であることを特徴とするプラズマCVD装置用電極板。

【請求項3】電子デバイス製造用プラズマCVD装置の反応室内に装着される電極板を表面処理する方法において、前記電極板の表面をブラスト法により処理することを特徴とするプラズマCVD装置用電極板の表面処理方法。

【請求項4】電子デバイス製造用プラズマCVD装置の反応室内に装着される電極板を表面処理する方法において、ステンレス鋼製の前記電極板の表面に金属アルミニウム、又はアルミニウムを成分に含む合金を溶射して皮膜を形成したことを特徴とするプラズマCVD装置用電極板の表面処理方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、液晶表示パネル、LSI、又はその他電子デバイスの製造に用いるプラズマCVD装置に装着される電極板、およびその表面処理方法に関する。

【0002】

【従来の技術】液晶表示パネル等の電子デバイスを製造するにあたって、プラズマCVD（プラズマ化学気相堆積）法による成膜装置が用いられる。プラズマCVDにおいては、真空ポンプにより減圧された反応室（チャンバー）中に高周波電力（RF）と反応ガスが導入され、高電圧によりプラズマが作られる。

【0003】プラズマCVDにおいて、反応室箱体内壁および反応室中に装着される電極板、特にRFを印加する電極板の表面に汚染物質が付着していると成膜対象物を汚染しうするため、予め液体又は気体の腐食性の薬品をもって十分に洗浄が行われている。このように洗浄された電極板表面は非常に清浄かつ平滑である。

【0004】しかし、以下のように、CVD堆積物そのものに由来するダストが汚染物質と同様、不良の一つの原因となっていた。

【0005】反応室内におけるプラズマCVDの位置選択性が少ないため成膜対象物のみならず、反応室内の他の表面上にも同様に堆積する。そして、堆積層が基材との熱膨張係数の違いなどにより徐々に剥離を起こす。このようにして生じたダストは反応室内を浮遊して成膜対象物表面に付着することとなり、特にある程度以上のサイズの粒子の場合に成膜不良を引き起こすため問題となっていた。

【0006】一方、このようなダストによる不良率を低減するために、プラズマCVD反応室内表面の堆積層を頻繁に除去することは、装置の生産効率を大きく損なうこととなる。

【0007】図4には、ダスト量測定結果を示す。液晶ディスプレイ装置のTFT（薄膜トランジスタ）の半導体薄膜を形成するプラズマCVD工程において、ガラス基板6に付着したダスト量を計数し、電極板上に堆積されていく積層膜の厚さとの関係で示す。ここでは、不良の原因となる、径 $5\mu\text{m}$ 以上のダストのみを計数した。また、ガラス基板6としては $230\times 250\text{mm}$ の寸法のものを用い、非晶質ケイ素（a-Si）薄膜を成膜するCVD工程について調べたものである。

【0008】図4に示すように、堆積層の厚さ（積層膜厚）が $10\mu\text{m}$ 前後を越えるところから、ダスト量計数値が急増する。特に、突出したピークが出現し、積層膜厚 $10\mu\text{m}$ 付近で既に約5千個、積層膜厚 $20\sim 23\mu\text{m}$ の領域では7500～1万個という計測数ピーク値が見られた。このようにダスト量が増加した時にCVDにおいて、成膜不良が増加する。ここで、ダスト量の少ない積層膜厚 $10\mu\text{m}$ 以下の領域を含めて、積層膜厚 $25\mu\text{m}$ までの計測範囲におけるダスト量計測数の単純平均値は2177であった。

【0009】

【発明が解決しようとする課題】本発明は、プラズマCVD装置のチャンバー中に装着される電極板において、CVDによる堆積層との密着性を改善することで、CVD反応室（チャンバー）中へのダスト発生を少なくものを与える。また、そのための電極板の表面処理方法を与える。

【0010】

【課題を解決するための手段】請求項1のプラズマCVD装置用電極板は、電子デバイス製造用プラズマCVD装置の反応室内に装着される電極板において、前記電極板の表面粗さにおける最大高さの値が $40\sim 100\mu\text{m}$ であることを特徴とする。

【0011】電極板表面の表面粗さが十分に大きいため、CVDによる堆積層と電極板との密着性が大きくなり、CVD工程中に堆積層の剥離によるダスト発生が低減される。

【0012】請求項2のプラズマCVD装置用電極板においては、電子デバイス製造用プラズマCVD装置の反応室内に装着される電極板において、前記電極板の表面粗さにおけるピッチ（ λa ）値が $50\mu\text{m}$ 以下であることを特徴とする。

【0013】請求項3のプラズマCVD装置用電極板の表面処理方法においては、電子デバイス製造用プラズマCVD装置の反応室内に装着される電極板を表面処理する方法において、ブラスト法を用いることを特徴とする。

【0014】請求項4のプラズマCVD装置用電極板の表面処理方法においては、電子デバイス製造用プラズマCVD装置の反応室内に装着される電極板を表面処理する方法において、ステンレス鋼製の前記電極板の表面に金属アルミニウム、又はアルミニウムを成分に含む合金を溶射して皮膜を形成したことを特徴とする。

【0015】

【発明の実施の形態】以下、本発明の第1の実施例を図1～3を用いて説明する。

【0016】本実施例においては、液晶ディスプレイ装置におけるTFT（薄膜トランジスタ）の半導体薄膜を形成するプラズマCVD工程において、ブラスト法により表面処理した電極板を用いた。

【0017】図1(a)は、本実施例に用いた液晶セル製造用プラズマCVD装置の反応室（チャンバー）の構成を示す縦断面模式図である。

【0018】用いたプラズマCVD装置の反応室1は縦型平行平板式である。略直方体形の箱体2の対向する2枚の垂直壁10、10のそれぞれには、略中央部に、高周波電力及び反応ガスの導入部8、8が設けられている。2枚の垂直壁からほぼ等距離の位置には電熱によるヒータ3が設けられ、垂直壁10、10とヒータ3との間には、垂直壁10、10側から順にRF印加電極板4、4、トレイ電極板5、5が全て互いに平行に配されており、トレイ電極板5のRF印加電極板4側の面にはCVDの対象となる複数のガラス基板6が配置される。さらに、2枚の垂直のトレイ電極板5は、1枚の水平の搬送トレイ7によって支えられている。反応室1の箱体2の下壁の、ヒータ3の略中央部には減圧排出口9が設けられている。ここで、図1(b)に示すように、RF印加電極板4のトレイ電極5と対向する面（正面）には、吹き出し口11が基盤目状に多数配され、上記導入部8よりRF印加電極板4中の反応ガス供給経路12を経て、反応ガスが供給される。

【0019】反応室1は中央のヒータ3の面を対称面として左右対称に構成されている。また、箱体2の、電極板4、5に垂直な側壁は開閉自在となっており、ガラス基板6の出し入れは搬送トレイ7の移動によってトレイ電極板5とともに引き出しで行われる。

【0020】上記反応室1において、反応ガス及びそのキャリアガスは、箱体2の両垂直壁10、10の略中央部を貫きRF印加電極板4に背面（箱体2側の面）から接続される導入部8および該電極板内部の供給経路12を経て、正面の吹き出し口12へと導かれる。さらにガラス基板6およびそれを支えるトレイ電極板5へと流れ、反応室1中央のヒータ3の周囲を経てヒータ3の下方において箱体2下壁に設けられた減圧排出口9から排出される。

【0021】上記のような反応室をもつプラズマCVD装置の、RF印加電極板4に対して、従来の技術におけ

る薬品による表面洗浄処理にかえて、ブラスト法による処理を施した。

【0022】図2(a)には、本実施例のRF印加電極基板4の表面凹凸形状を模式的に示す。また、図2(b)には、比較のため、従来技術によるRF印加電極基板4について示す。

【0023】ブラスト処理は、ステンレス鋼または金属アルミニウムからなる電極板の表面に対して、46メッシュの炭化ケイ素粉末を用い、圧縮空気圧2kgf/cm²にてドライ方式で行った。10分、20分、および30分間の処理後に、先端曲率半径2μmの触針式表面粗さ計により表面粗さを10個所以上において測定したところ（JIS B 0651）、最大高さR_{max}（JIS B 0601）が、それぞれ40～70μm、50～90μm、および50～100μmの範囲内であった。

【0024】また、このときの山のピッチλ_aはいずれも50μmの範囲内であった。

【0025】これに対して、薬品処理による従来技術において、最大高さR_{max}は約10μmに過ぎず、ピッチは70μm以上の範囲内であった（図2(b)）。

【0026】ここで、ピッチλ_aは基準長L（ここでは2.5mmとした）における山と山の間隔の平均値である。

【0027】図3の変動曲線は、本実施例におけるRF印加電極板4を用いた場合におけるガラス基板6に付着したダストの計数量と、電極板上に堆積されていく積層膜の厚さとの関係を示す。ここで、本実施例の成膜において不良の原因となる、径5μm以上のダストのみを計数した。また、ガラス基板6としては230×250mmの寸法のものを用い、非晶質ケイ素（a-Si）薄膜の成膜工程について測定を行った。

【0028】積層膜厚が8μm以下では、図4に示す従来技術のものと同様である。しかし、それ以降の領域においては従来技術に比べ顕著に減少していることが知られる。積層膜厚8～10μm以降の領域において、鋸歯状変動曲線の波動の中心線が従来技術のものに比べて低いとともに、鋸歯状変動のピークにおける値が顕著に小さくなっている。10～20μm範囲における最大ピーク値は4千個より小さく、20～30μm範囲におけるそれは5千個以下である。積層膜厚30μmまでの計測数を単純平均した値は1519であって、従来技術における積層膜厚25μmまでの平均値2177に比べてもかなり小さい。ここで、図4のデータ測定条件は、電極板4の表面処理法が違う以外は本実施例と全く同一である。

【0029】図3に示す本実施例の試験結果は、RF印加電極板4に堆積される積層膜厚が30μm程度までの範囲でガラス基板6の成膜工程を連続して行ったとしても、ダスト量増加による問題がほとんど生じないことを

示している。

【0030】本実施例の効果は、RF印加電極板4と該電極板上の堆積層との接着性がアンカー効果の増大によって向上したことによると考えられる。実際にアンカー効果に寄与している凹凸形状は、本発明において表現されている数十 μm のオーダーでなくそれより小さいオーダーの凹凸形状によると考えられる。しかし、ブラスト法といった通常の洗浄を兼ねた金属板の表面処理においては、これらの、比較的大きな凹凸の増大と微細な凹凸の増大とが一致する。このとは、光学的な測定によって容易に確かめられる。

【0031】一方、ガラス基板6に付着するダストは、RF印加電極板4以外にも、反応室箱体2の内壁、トレイ電極5、および搬送トレイ7にも起因すると考えられるがそれらの影響は比較的小さい。これは、前述したように反応ガスがRF印加電極板4の吹き出し口11からガラス基板6に向かってシャワー状に流れるためと考えられる。

【0032】本実施例のようにブラスト処理したRF印加電極板4を用いることにより、反応室1内に堆積される積層膜厚が30 μm またはそれ以上に達するまで連続してCVDを行ったとしても、従来技術におけるような成膜不良の増加を起こさない。したがって、生産効率を高く保ちながら製品不良を著しく低減できる。また、ブラスト法による表面処理は、極めて簡易で一般的なものであるため工程およびコストをほとんど増加させることがない。

【0033】別の実施例においては、ステンレス鋼製の電極板の表面に金属アルミニウムを溶射して、皮膜を形成した。アーク溶射により厚さ約200 μm の金属アルミニウムの皮膜を形成した。前記実施例と同様に表面粗さを測定したところ、最大高さが50~90 μm 、山のピッチ λa が40~50 μm であった。この電極板を前記プラズマCVD装置に用いたところ、ダスト量減少において前記実施例と全く同様の効果が得られた。

【0034】

【発明の効果】本発明によれば、プラズマCVD工程において、電極板表面処理を改善することにより、電極板とその上のCVD堆積層との剥離を抑制することで、ダスト発生量を減少させる。したがって、プラズマCVD工程の生産性を損なうことなく、製品の歩留まりと信頼性を向上することができる。

【図面の簡単な説明】

【図1】(a) プラズマCVD装置の構成を示す縦断面模式図である。

(b) プラズマCVD装置のRF印加電極板の斜視図である。

【図2】(a) ブラスト法により表面処理された、実施例のプラズマCVD装置用電極基板の表面凹凸形状を示す模式図である。

(b) 腐食性薬品により表面処理された、従来の技術のプラズマCVD装置用電極基板の表面凹凸形状を示す模式図である。

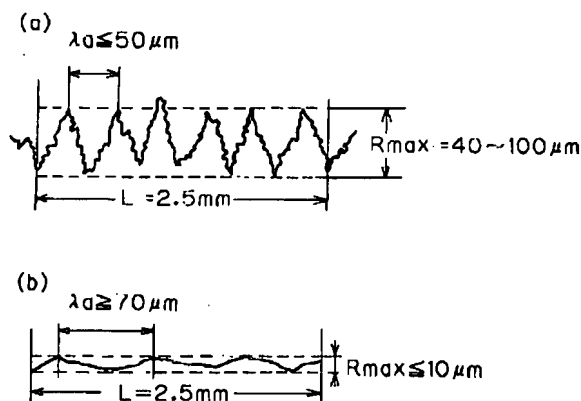
【図3】実施例のRF印加電極板を用いた場合の、ダスト量(5 μm)とCVDにより堆積される積層膜厚との関係を示すグラフである。

【図4】従来技術のRF印加電極板を用いた場合の、ダスト量(5 μm)とCVDにより堆積される積層膜厚との関係を示すグラフである。

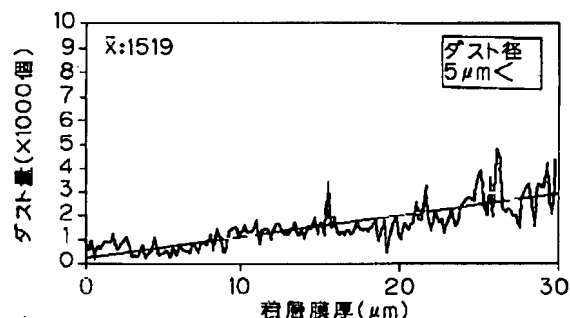
【符号の説明】

- 1 反応室(チャンバー)
- 2 箱体
- 3 ヒータ
- 4 RF印加電極板
- 5 トレイ電極板
- 6 ガラス基板
- 7 搬送トレイ
- 8 高周波電力(RF)及び反応ガスの導入部
- 9 減圧排出口

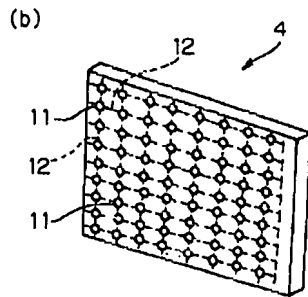
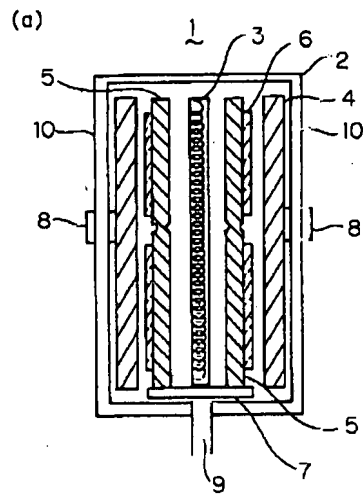
【図2】



【図3】



【図1】



【図4】

